

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-112236

(43) 公開日 平成 6 年(1994) 4 月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/52	A	7376-4M		
21/78	S	8617-4M		
	Q	8617-4M		

審査請求 未請求 請求項の数 4 (全 6 頁)

(21) 出願番号 特願平4-280631

(22) 出願日 平成 4 年(1992) 9 月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 坂本 晋一

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社北伊丹製作所内

(72) 発明者 園田 琢二

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社北伊丹製作所内

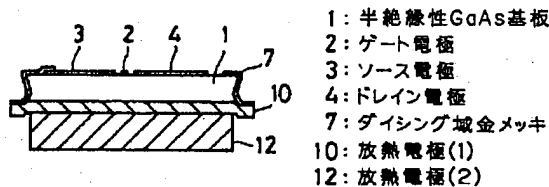
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【構成】 ウエハ表面形成後にダイシング域 6 を最終基板厚みまでエッチングしてその内部に金メッキ 7 を形成し、裏面側より前記金メッキ部 7 まで基板 1 を薄膜化させ基板裏面全面に放熱電極 (1) 10 を形成し、さらにダイシング域を除いて選択的に放熱電極 (2) 12 を形成して、ダイサーカット 4 によるチップ分割を可能にするようにした。さらにパイアホール無しでソース電極 3 を接地できる構造、また放熱電極がパイアホール内に入り込まない構造のチップ構造とした。

【効果】 ダイサーカット時のカエリが存在せず、ダイサーカットを可能にでき、このためチップ分割後でもチップがバラバラにならず組立作業を容易に、かつ自動化できる。また、チップダイボンド時の高温により放熱電極が膨張してパイアホール内端面で応力集中してチップクラックを発生させるという問題を回避できる。



【特許請求の範囲】

【請求項1】 半導体基板の主面に半導体素子およびその電極を形成し、かつ基板裏面側に放熱電極を形成してなる電界効果トランジスタを有する半導体装置において、

上記放熱電極は、基板裏面に接する第1の放熱電極と、該第1の放熱電極の基板と反対側に位置する該第1の放熱電極に比しチップダイシング域を除いた大きさの第2の放熱電極とからなる2層構造を有し、

上記基板主面側のソース電極と上記基板裏面の第1の放熱電極とがチップ周囲で接合された構造を有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記半導体基板はその主面側のソース電極部より上記基板裏面の第1の放熱電極に達する貫通孔を有し、金メッキにより上記ソース電極部と上記基板裏面の放熱電極部とが接合され、

上記第2の放熱電極は上記貫通孔部に対応する部分を除いて形成された構造を有することを特徴とする半導体装置。

【請求項3】 請求項1の半導体装置を製造する方法において、

半導体基板の主面上に半導体素子及びその電極を形成する工程と、

その後、上記基板のダイシング域に対応する部分を最終基板厚み以上にエッチングにより掘り込み、該掘り込まれたダイシング域を金メッキする工程と、

上記半導体基板の主面上にガラス板を貼りつける工程と、

上記基板をその裏面から上記金メッキを露出させるまで 30 所望の厚みに研削・ポリッシングする工程と、

上記基板の裏面全面に第1の放熱電極を形成する工程と、

上記ダイシング域に対応する部分を選択的に除いて第2の放熱電極を形成する工程と、

上記基板を上記ガラス板より取り外し該基板の主面側を洗浄した後に上記第2の放熱電極側に粘着シートを貼りつける工程と、

ダイサーにて上記ダイシング域の上記第1の放熱電極を切断してチップを分割する工程とを含むことを特徴とする半導体装置の製造方法。 40

【請求項4】 請求項2記載の半導体装置を製造する方法において、

半導体基板の主面上に半導体素子及びその電極を形成する工程と、

その後、上記基板のダイシング域に対応する部分とソース電極パッド部の貫通孔を設けるべき部分を最終基板厚み以上にエッチングにより掘り込み、該掘り込まれたダイシング域及びソース電極パッド部貫通孔を金メッキをする工程と、

上記半導体基板の主面上にガラス板を貼りつける工程と、

上記基板をその裏面から上記金メッキを露出させるまで所望の厚みに研削・ポリッシングする工程と、

上記基板の裏面全面に第1の放熱電極を形成する工程と、

上記ダイシング域に対応する部分と上記貫通孔部とを選択的に除いて第2の放熱電極を形成する工程と、

上記基板を上記ガラス板より取り外し該基板の主面側を洗浄した後に上記第2の放熱電極側に粘着シートを貼りつける工程と、

ダイサーにて上記ダイシング域の上記第1の放熱電極を切断してチップを分割する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、特に半絶縁性GaAs基板を用いた電界効果トランジスタ(GaAsFET)などにおける分割されたチップの構造及びその製造方法の改良に関するものである。 20

【0002】

【従来の技術】 一般に、この種の高出力GaAsFETなどにおいては、装置構成での熱抵抗の低減、及びソースインダクタンスの低減などを図るために、ゲート電極、ソース電極、及びドレイン電極などを設けた半絶縁性GaAs基板の厚さを、数10μm程度にまで薄くし、かつその裏面側からはソース電極への貫通孔を形成させるとともに、この裏面側において放熱電極(Plated Heat Sink: 以下、PHSとも呼ぶ)を設けて使用するようになっている。

【0003】 ここで、従来例によるこのようなGaAsFETでの概要構成を図5に示す。即ち、図5に示す従来例構成において、1は半絶縁性GaAs基板、2、3、4はこのGaAs基板1の主面上にあって、所定位置を占めて形成される半導体素子のためのそれぞれゲート電極、ソース電極、及びドレイン電極であり、10'は前記GaAs基板1の裏面側に設けられる放熱電極(PHS)である。しかして、この従来例構成においては、基板主面に半導体素子及びその電極を形成させた後に、所望の厚みにまで基板の研削・ポリッシングを行い、ソースボンディングパッドの裏面よりソースボンディングパッドに達する貫通孔(バイアホール15')を開け、放熱電極(PHS10')を形成した後、チップダイシング域(図5の装置の左右両端部に相当)にてエッチング等の手段によりチップ分割をなし、図5に示す装置構成を得るのである。

【0004】

【発明が解決しようとする課題】 上記に述べたように、 50 従来例によるGaAsFETにおいては、その製造に際

3

して、放熱電極（PHS10'）をマスクに用い、半絶縁性GaAs基板1のエッチングを行うことで、チップ分割を行うようにしているが、ここで、このようにして構成されるチップはチップ分割後、チップ同士はバラバラでチップを拾い集めて組立作業を行うことに多大の人手を要するとともに、自動化を妨げている。さらに、図6にバイアホール部の拡大断面図を示すように、放熱電極（PHS10'）は線膨張し、図6の矢印Aのように伸びようとする。このため、バイアホール内部壁端面には図6に示すような応力集中点Bが発生してチップクラックが発生しやすいという問題点があった。

【0005】この発明は上記のような問題点を解消するためになされたもので、その目的とするところは、チップ分割後、容易にチップをつかむことができ、組立作業を簡単に、かつ自動化することのできる、しかもダイボンド時の高温による放熱電極の線膨張によってチップクラックを発生させることのない構造の半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置は、半導体基板の主面に半導体素子およびその電極を形成し、かつ裏面側に2層構造の放熱電極を設け、基板1の裏面に接する放熱電極の外側に該放熱電極に対してチップダイシング域を除いた大きさの放熱電極を有し、表面側のソース電極と裏面放熱電極とをチップ周囲で接合した構造としたものである。

【0007】また、この発明にかかる半導体装置は、さらにそのソース電極部に基板裏面の第1の放熱電極に達する貫通孔を有し、金メッキによりソース電極部と基板裏面の放熱電極部とが接合され、第2の放熱電極は上記貫通孔部に対応する部分は除いて形成された構造を有するものとしたものである。

【0008】また、この発明にかかる半導体装置の製造方法は、半導体基板主面に半導体素子およびその電極を形成し、かつ裏面側に放熱電極を形成してなる半導体装置を製造するにおいて、基板のダイシング域に対応した表面上を最終基板厚みの深さまでエッチングした後、放熱電極と同一材料で被覆させる工程と、前記ウエハの表面にガラス板を貼りつける工程と、前記ウエハ状態の基板を裏面側から研削及びポリッシングを行うことにより表面側よりエッチング、金メッキを行ったダイシング域が露出するまで薄層化させる工程と、裏面側全面に第1の放熱電極を形成する工程と、その上にダイシング域内にレジストパターンを選択的に形成し、該基板裏面に第2の放熱電極を選択的に金メッキで形成する工程と、前記レジストパターンを除去した後、ウエハをガラス板より取り外し、該ウエハの主面を洗浄した後に第2の放熱電極側に粘着シートを貼り付ける工程と、この状態で最終のチップのテストを行う工程と、ダイサーにて前記放

4

熱電極を切断してチップを分割する工程とを有するものである。

【0009】また、この発明にかかる半導体装置の製造方法は、基板主面に半導体素子およびその電極を形成し、かつ裏面側に放熱電極を形成してなる半導体装置を製造するにおいて、基板のダイシング域に対応した表面上とソース電極パッド部の貫通孔を設けるべき部分とを最終基板厚みの深さまでエッチングした後、放熱電極と同一材料で被覆させる工程と、前記ウエハの表面にガラス板を貼りつける工程と、前期ウエハ状態の基板を裏面側から研削及びポリッシングを行うことにより表面側よりエッチング、金メッキを行ったダイシング域が露出するまで薄層化させる工程と、裏面側全面に第1の放熱電極を形成する工程と、その上にダイシング域内およびソース電極パッド部の貫通孔を設けた部分とにレジストパターンを選択的に形成し、第2の放熱電極を選択的に金メッキで形成する工程と、前記レジストパターンを除去した後、ウエハをガラス板より取り外し、該ウエハの主面を洗浄した後に第2の放熱電極側に粘着シートを貼り付ける工程と、この状態で最終のチップのテストを行う工程と、ダイサーにて前記放熱電極を切断してチップを分割する工程とを有するものである。

【0010】

【作用】この発明においては、基板主面に半導体素子およびその電極を形成し、かつ裏面側に2層構造の放熱電極を形成し、そのうちの外側の第2の放熱電極はチップダイシング域を除いた大きさとし、表面側のソース電極と裏面放熱電極がチップ周囲で接合される構造としたので、ダイサーにて第1の放熱電極を切断してチップを分割させることが可能であるとともに、これによりチップ分割後、容易にチップをつかみ、組立作業を簡単、かつ自動化することが可能である。かつ放熱電極がバイアホール内に入りこまない構造であり、チップダイボンド時の高温による放熱電極（PHS）の線膨張により基板裏面の端面に応力集中が起こることがなく、このためチップクラックを発生させない構造のものが得られる。

【0011】

【実施例】実施例1. 以下、この発明の一実施例による半導体装置およびその製造方法につき図1、図3を用いて詳細に説明する。

【0012】図1はこの発明の第1の実施例によるGaAsFETのチップ構造の概要を模式的に示す断面図、図3(a)ないし(b)は図1の実施例1のチップ構造の主要な製造工程を順次模式的に示す各断面図であり、これらの図1、図3において、図5及び図6の従来例と同一符号は同一または相当部分を示す。即ち、図1、図3に示す実施例1の構成において、1は半絶縁性GaAs基板、2、3及び4はこのGaAs基板1の主面上にあって、所定位置を占めて形成される半導体素子のためのそれぞれゲート電極、ソース電極及びドレイン電極であ

5

り、また5は上記ダイシング域をエッチングにより形成するためのレジスト層である。6はエッチングにより形成されたダイシング域の溝、7はダイシング域6上に形成された裏面放熱電極と同一材料の金メッキ、8は裏面研削・ポリッシングのためにガラス板9と貼り合わせるためのワックス、10は裏面側ウエハ全面に形成した第1の放熱電極(PhS(1))、11は第2の放熱電極(PhS(2))12を選択的に形成するためのレジストパターン、13は放熱電極(2)12側の面に貼りつけ、ダイシング後チップがバラバラにならないようにする粘着シート、14はチップ分割用のダイサーの刃である。

【0013】次に本実施例の製造方法について図3を参照して説明する。本実施例方法においては、まず、半絶縁性GaAs基板1の主面上にあって、所期通りの位置を占めてゲート電極2、ソース電極3及びドレイン電極4をそれぞれ形成し、また、このGaAs基板1のダイシング域に対応した表面上をエッチングによって最終基板厚みまで掘り込んで凹部6を形成する(同図(a))。

【0014】次に、このダイシング域の凹部6を裏面放熱電極(PhS(1))10と同一材料の金メッキ7で被覆する。なお、ソース電極3を裏面に接地するために、金メッキ7はソース電極3上に重なるように形成する(同図(b))。次いで、これらの各電極2ないし4をそれぞれ形成したウエハ状態でのGaAs基板1の表面側に、貼り付け用ワックス8を用いてガラス基板9を貼り付けておき、この状態でこのGaAs基板1を、裏面側から前記金メッキ7が出現するまで研削及びポリッシングすることにより薄層化させる(同図(c))。

【0015】その後この薄層化されたGaAs基板1の裏面側に全面に放熱電極(1)10を形成し(同図(d))、さらに、ダイシング域に対応する箇所にレジストパターン11を形成し、その他の部分に放熱電極(2)12を選択的に形成する(同図(e))。その後、レジストパターン11を除去し、ウエハをガラス板9から取り外し、ウエハを洗浄してワックス8を除去した後に、放熱電極(2)12側に粘着シート13を貼り付ける(同図(f))。

【0016】この状態でチップの最終テストを行い、その後にダイシング域6の放熱電極(1)10をダイサーの刃14でカッティングし、チップを分割する(同図(g))。この状態でチップは分割されているが、各チップはチップ粘着シート13上にあるのでバラバラにならない。そしてこの分割チップの状態(同図(h))で、組立装置によりダイボンドを行うことが可能となる。

【0017】このような本実施例1の半導体装置では、2層の放熱電極10、12により薄いウエハ1の強度向上ができ、しかも下層放熱電極12がダイシング域6に存在しないので、ダイサーカット時のカエリも生ぜず、ダイサーカットを可能にできる。また粘着シート13を貼り付けているので、チップ分割後でもチップがバラバラにならず、組立作業を容易に行うことができ、かつこ

6

れを自動化することができる。またパイアホール無しでソース電極3を接地できる構造、かつ放熱電極がパイアホール内に入り込まない構造のチップ構造としたので、チップダイボンド時の高温により放熱電極が膨張してパイアホール内端面で応力集中が発生し、チップクラックを発生させるというような問題を回避できる効果がある。

【0018】実施例2. 図2はこの発明の第2の実施例によるGaAsFETのチップ構造を模式的に示す断面図であり、図4は、本実施例2の装置の製造方法を示す図である。これらの図において、15は基板表面側から形成したパイアホール、16はパイアホール15に対応した位置に形成した空洞である。

【0019】本実施例2のGaAsFETチップは、基板主面側のソース電極部3より基板裏面の第1の放熱電極10に達する貫通孔15を有するものであり、上記第2の放熱電極12は、この貫通孔15に対応する部分は、除去されて空洞16となっている構造を有するものである。

【0020】本実施例2の製造方法は、図3の実施例1のそれと同様な製造フローであるが、図4(a)に示すように、ダイシング域6を開口する時に表面ソースボンディングパッド3域においてダイシング域6と同様にエッチングによりパイアホール15の開口を行う。そして、図4(b)に示すように、金メッキ7、7'をダイシング域6及びパイアホール部15に形成し、以下図3と同様なフローを行い、かつ図4(e)において、上記パイアホール15に相当する部分にもレジストパターン11'を形成することにより、図2に示しかつ上述したように、ソースボンディングパッド3域にパイアホール15を有し、その裏面に空洞16を有するチップ構造を得る。

【0021】このような実施例2においても、上記実施例1と同様の効果が得られ、さらにチップダイシング域として、ダイシング域6とパイアホール部15の2箇所のうちいずれか所望のものを選択できるチップ構造を得ることができる。

【0022】

【発明の効果】以上のように、この発明にかかる半導体装置およびその製造方法によれば、基板主面に半導体素子及びその電極を形成し、かつ裏面側に2層構造の放熱電極を形成し、外側の第1の放熱電極はチップダイシング域を除いた大きさとし、表面側のソース電極と裏面の第1の放熱電極がチップ周囲で接合される構造としたので、ダイサーにて放熱電極を切断してチップを分割させることが可能となり、チップ分割後、容易にチップをつかみ、組立作業を簡易かつ自動化することができる。ともに、放熱電極がパイアホール内に入り込まない構造であるため、チップダイボンド時の高温による放熱電極の膨張に起因する基板端面に集中する応力を回避でき、チップクラックを発生させないものを得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例による電界効果トランジスタを示す断面構造図。

【図2】この発明の第2の実施例による電界効果トランジスタを示す断面構造図。

【図3】この発明の一実施例による電界効果トランジスタチップの主要な製造工程を順次模式的に示す断面図。

【図4】この発明の第2の実施例による電界効果トランジスタチップの主要な製造工程を順次模式的に示す断面図。

【図5】従来例による電界効果トランジスタを示す断面構造図。

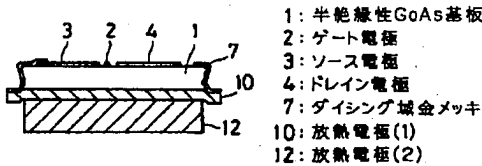
【図6】従来例によるバイアホール端部における放熱電極の膨張による応力集中を示す断面模式図。

【符号の説明】

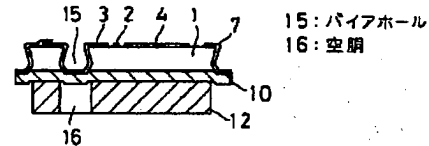
1 半絶縁性GaAs基板

- 2 ゲート電極
- 3 ソース電極
- 4 ドレイン電極
- 5 ダイシング域エッチング用レジストパターン
- 6 ダイシング域エッチング溝
- 7 ダイシング域金メッキ
- 7' バイアホール部金メッキ
- 8 貼り付け用ワックス
- 9 ガラス板
- 10 放熱電極
- 11 レジストパターン
- 12 放熱電極
- 13 粘着シート
- 14 チップ分割用ダイサーの刃
- 15 バイアホール

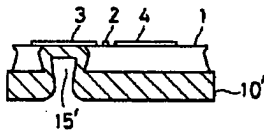
【図1】



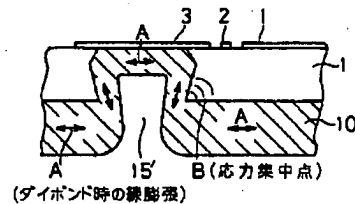
【図2】



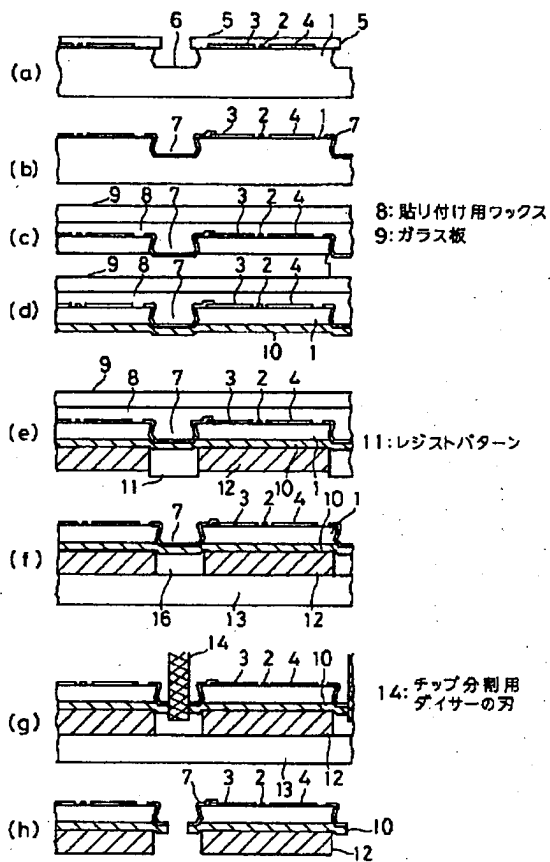
【図5】



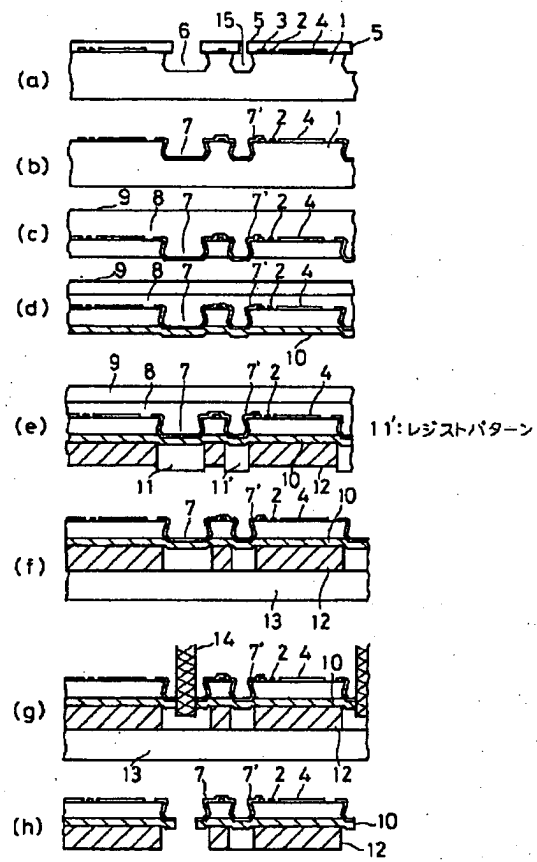
【図6】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.